|  |  |  |  |
| --- | --- | --- | --- |
| Speicher, Digitale Ein- und Ausgabe DDRx (Data Direction Register):  Entsprechendes Bit auf 1 für Ausgang, oder 0 für Eingang  PORTx (Port Register):  Wenn Pin auf Ausgang, dann 1 = 5V und 0 = 0V  PINx (Port Input Register):  Wenn Pin auf Eingang, dann 1 = HIGH liegt an und 0 = LOW liegt an  pinMode(13, OUTPUT);  digitalWrite(13, HIGH);  digitalRead(13); … if (digitalRead(13) == HIGH)…  Serial.begin(9600);  Serial.println("Eingabe ist: " + Serial.readString());  Serial.available() :  Anz. Bytes, die zum Lesen verfügbar sind. Evtl. in while Schleife. |  | Nichtflüchtige Speicher:  ROM  OTPROM  EEPROM: Begrenzte Anzahl an Schreib/Lesezyklen.  Konfigurationsdaten, Kalibrierungsdaten  Flash: Programm- Daten/Code  SRAM(flüchtig): Arbeitsspeicher, Register, Stack usw  *Einzelne Bits setzen:* x |= (1 << Bitnummer);  *Einzelne Bits löschen:*  x &= ~((1 << Bitnummer) | (1 << Bitnummer2));  *Testen ob Bit auf 1:*  If (DDRC & (1 << Bitnummer)) { }  *Testen ob Bit auf 0:*  If ( ! (DDRC & (1 << Bitnummer))) { }  *Alle Bits umdrehen:*  x = 0xFF ^ x  *LED togglen:*  PINA |= (1 << PINA2);  Vorwiderstand berechnen: | **Pull-Up** / Active Low **Pull-Down** / Active High  Bei offenem Taster wird Bei offenem Taster wird  Spannung am Pin auf Spannung am Eingang  HIGH gezogen. Auf LOW gezogen.  Entprellung  Einmaliges betätigen eines Schalters führt evtl zu mechanischen Vibrationen.  SW-Lsg: Künstliche Wartezeit nach Zustandswechsel – Bis Schalter eingeschwungen. |
| **Mikrocontroller Bestandteile**: MicroProzessor, Timer, Schnittstellen, Speicher, AD-Wandler  **Entwicklerboard**: Arduino Mega,  **Mikroprozessor**: Atmega2560  **Cross-Compilation**: Programm wird nicht auf Zielplattform (Mikrocontroller), sondern auf anderer Plattform übersetzt  **Flashen**: hex-File von PC an Entwicklerboard senden  **Harvard-Architektur**: Daten- und Instruktionsspeicher getrennt  Instruktionsspeicher: Nicht flüchtiger Flash Speicher  Daten: in flüchtigem SRAM  SRAM und DRAM sind flüchtig. Rest nicht flüchtig. |
| Interrupts sei(): Interrupts global aktivieren (oder: SREG |= 128)  cli(): Interrupts global deaktivieren  *SREG* (AVR Status Register):  Bit 7 auf 1 = sei();  *EIMSK* (External Interrupt Mask Register):  Speziellen Interrupt de-/aktivieren  *EICRA* (External Interrupt Control Register A)  *EICRB* (External Interrupt Control Register B):  ISCn0 und ISCn1. Falling oder Rising Edge.  n ist die Interrupt Nummer.  *EIFR* (External Interrupt Flag Register):  Wenn Interrupt ausgelöst: Bit ist 1  *ISR* (INT0\_vect) { }  attachInterrupt(digitalPinToInterrupt(21), count, RISING); | //Entprellung | **Busy Waiting:** while (DDRC & (1 << DDC3));  **Polling**: periodisches Abfragen, ob Ereignis eingetreten  Interrupt: Kurze Unterbrechung des laufenden Programms um einen anderen zeitkritischen, kurzen Vorgang zu bearbeiten. Hardware prüft dauernd parallel, ob Ereignis eingetreten ist.  Wenn auf ein seltenes Ereignis schnell reagiert werden muss.  **Trap**: Art von Interrupt, die aber synchron und reproduzierbar ist. z.B. System Call, Div durch 0 …  Interrupt Request:  Interruptereignis – [InterruptController] – über IRQ Eingang Unterbrechungsanforderung an CPU – CPU unterbricht Programm und startet Unterbrechungsroutine  Interrupt Vector Table:  Welches Interruptereignis gehört zu welcher ISR? Jede Vectornummer hat eine zugehörige Programmadresse.  ISR ist selbst nicht unterbrechbar (I Bit SREG) | Externe Interrupts  Controller tastet zu Beginn jedes Taktzyklus ab. Falls Interrupt aktiviert, Aufruf der ISR.  Probleme: Leichte Verzögerung, „Prellung“  Interne Interrupts  Timer, A/D-Wandler  Bei Auslauf eines Timers unterbricht HW Ausführung der normalen Software  Volatile  Variable wird vor jedem Lesen aus SRAM gelesen und nach jedem Schreiben in SRAM geschrieben  !!Globale Variablen die in ISR vorkommen **immer volatile**!!! |
| Timer **n**: Timer 1-5  *TCCRnA* (Timer/Counter n Control Register A):  PWM  *TCCRnB* (Timer/Counter n Control Register B):  Prescaler; Starten des Timers; Input Capture, CTC  Beide TCCRn erst auf 0x00 setzen.  Auch wenn keinen Prescaler will, muss man setzen  *TCNTn* (Timer Counter n, 16 Bit):  Aktueller Zählerstand. Anfangs auf 0 setzen.  *OCRnA, OCRnB, OCRnC* (Output Compare Register, 16 Bit):  Wert gegen den Zählerstand verglichen werden kann  *ICRn* (Input Capture Register):  Bei Input Capture erfasster Wert wird gespeichert  *TIMSKn*:  Aktivieren/Deaktivieren der Timer Interrupts  *TIFRn*:  Timer bezogene Interrupt Flags  **CTC Beispiel**: TCCR4B |= (1 << WGM42);  ISR(TIMER4\_OVF\_vect) {}:  Interrupt bei Timer 4 Overflow  ISR(TIMER4\_COMPA\_vect){}: Timer 4 compare A |  | Atmega2560 Systemtakt = 16Mhz  16Bit Timer => Timer läuft nach über  Prescaler  Fallende Flanke des Prescalers an Bit Qn triggert Counter.  Vorteil großer Prescaler: Messen langer Zeiten möglich.  kleinstes messbares Zeitintervall ohne Prescaler:  mit f/1024 Prescaler:  Nachteil: Schlechtere Auflösung.   * immer kleinstmöglichen Prescaler!   Welchen Prescaler für 3s Intervalle mit 16 Bit Timer? Takt: 1 MHz (Bei 16MHz bis 3\*1000000) | Input Capture  Bei externen oder internen Signalen/Ereignissen wird aktueller Zählerstand in ICRn gespeichert    Output Compare  Bei erreichen eines konfigurierten Zählerstandes wird Interrupt ausgelöst, oder best. Signal erzeugt.  hier mit CTC  CTC Mode (Clear Timer on Compare Match)  TOP Wert in OCRnA oder ICRn konfiguriert.  Zähler bei erreichen des Zählerstandes automatisch auf 0. |
| Pulsweitenmodulation TCCRnA  Compare Output Mode  Fast PWM usw  TCCRnB  Fast PWM; Prescaler  OCnA, OCnB, OCnC (Output Compare Pins):  PWM-Ausgang  Inverting oder non-Inverting Mode  Output Compare Pins müssen **als Ausgang im DDR** Reigster konfiguriert sein!  OCRnX (Output Compare Register):  Vergleichswert (Schwellwert) muss gesetzt werden, der jeweils PWM-Ausgang OCnX beeinflusst. |  | Signal mit konstanter Periode, aber variabler Pulsdauer wird erzeugt.  Duty Cycle: t/T (= Pulsdauer / Periodendauer)  TOP: ICRn Register (oder andere  siehe S145 Tabelle)  CMP: OCRnX Register    In manchen Modi kann man TOP/CMP nur ändern, wenn Zähler gerade auf BOTTOM/TOP ist. (Update of OCRnX at... in Tabelle) | Inverting u. Non-Inverting Mode  Non-Inverting: siehe Links.  Inverting: PWM Ausgang genau andersrum  TCCRnX Register  Up-Down-Counter  doppelte Periodendauer, geringere Auflösung  BOTTOM u. TOP immer genau in der Mitte    Tabelle S145 TCCRnA u TCCRnB Fast PWM(Up-Counter), PWM(Up-Down Counter) |
| Analoge Ein-/Ausgabe ADMUX  Referenzspannung wählen  Analoge Eingangspins für A/D Umsetzung wählen  ADCSRB  Analoge Eingangspins für A/D Umsetzung wählen  Single Ended oder Differential Conversion  Free Running Mode oder manuelles Triggern  ADCSRA  Aktivieren und Starten der A/D Umsetzung  Prescaler  Interrupts  ADCL, ADCH  Speichert Ergebnis der A/D Umsetzung  Erst ADCL, dann ADCH lesen (atomarer Zugriff) |  | A/D Wandlung  **Auflösung**:  Wie viel  Spannungsunterschied  pro Stufe?  Vref / 2r  **Repräsentant**  eines Intervalls  liegt in Intervallmitte um  Quantisierungsfehler zu vermeiden.  Erstes Intervall: Repr. Von 000 Stufenbreite ½ LSB  Letztes Intervall: Stufenbreite 1 ½ LSB  Fehlerquellen  Quantisierungsrauschen  Umsetzungszeit  Änderung d. Eingangs während der Umsetzung  **Ersatzwiederstand** von zwei parallelen Widerständen | Ansätze zur A/D Wandlung  Komparator  Parallelverfahren, Zählverfahren, Wägeverfahren  A/D Umsetzung beim Atmega  Nur ein interner A/D Umsetzer, aber 16 analoge Eingangspins können an A/D Um. weitergeleitet werden. Konfigurierbar, welcher Eingang an A/D Um. Weitergeleitet wird  **Trigger**:  Manuelles Auslösen: durch Codeanweisung  Free Running Mode: Endlosschleife  Auto Trigger: angestoßen durch Timeroverflow, Komparatorausgang etc  **Erkennen, dass A/D Umsetzung beendet wurde:**  Auswerten eines speziellen Flags, oder durch speziellen Interrupt  **Wertebereich:**  Single-Ended Conversion: [0,Vref]  Differential Conversion: [-Vref/2, Vref/2] |

|  |  |  |  |
| --- | --- | --- | --- |
| Watchdog, Energiesparmodus, Reset WDTCSR  Watchdog Modul Konfiguration  **Spezielles vorgehen zum Beschreiben des Registers! (Damit nicht ausversehen)**  MCUSR  Informationen über Ursache des Resets (nach Neustart abrufbar)  wdt\_reset() (in C) (Assembler: WDT)  Watchdog Timer zurücksetzen  SMCR  Energiesparmodus wählen  sleep\_mode()  (Assembler: SE-Bit in SMCR setzen, dann SLEEP-Instruktion)  Energiesparmodus aktivieren |  | Watchdog  Timer, der hoch oder runterzählt. Muss vor Überlauf zurückgesetzt werden. Sonst: Interrupt oder Reset.  **Aufgaben:**  Überprüfung: Codestellen in vorgegebener Zeit erreicht? SW noch aktiv und nicht abgestürzt?  Bei Timeout: Überführen in wohldefinierten Zustand.  Neustart oder Interrupt auslösen.  Erkennt Probleme, löst sie aber nicht!  **Prescaler:** Beeinflusst Zeit bis Watchdog Timeout  Energiesparmodus  Energieverbrauch verringern durch: Systakt verlangsamen, Betriebsspannung verringern, abschalten nicht benötigter Module (Energiesparmodi (ESM))  **ESM unterscheiden sich bzgl.** Abgeschalteter Komponenten und augweckender Ereignisse (Ext Interrupts, Watchdog Interrupt, Speicherzugriff beendet, Timer, Anlegen einer (leeren) ISR und Aktivieren des Interrupts genügt).  Aufwachen kann verzögert passieren  **Energiesparmodi beim Atmega2560:**  Idle Mode, ADC Noise Reduction Mode, Power Save Mode, Power Down Mode, Standby Mode | Reset  System von wohldefiniertem Zustand starten  Arten von Resets:  Power-On Reset, Brown-Out Reset, External Reset, Watchdog Reset, Internal Reset  Sensordaten  In bestimmten Bereich linearer Zusammenhang zw. Messgröße (z.B. °C) u. Ausgangsspannung.  Beispiel TMP 36: -40°C – 125°C  750mV bei 25°C. Output *Scale Factor* 10mV/°C  Min Ausgansspannung: 100 mV  Max Ausgangsspannung: 1750 mV  Max Ausgangsspannung sollte möglichst knapp unter Referenzspannung liegen.  **Binäre Zahl** (bei Vref = 2,56V): Max: 1,750V / 2,56V \* 2^10 = 700  Min: 0,100V / 2,56V \* 2^10 = 40  **Binäre Zahl in Messgröße:**  Linearer Zusammenhang: y = mx + t  y: Messgröße, x: binäre Zahl  y und x gegeben, m unt t bestimmen  -40°C = m\*40 + t [°C]  125°C = m\*700 + t [°C] |
| Kommunikationsschnittstellen **USART Register:**  UDR  UCSRnA  UCSRnB  UCSRnC  UBRRnL  **SPI Register:**  SPCR  SPSR  SPDR |  | Klassifizierung  **Seriell** vs **parallel** | vs ||||  **Synchron** (meist eigener Takt für Datenleitung) vs **asynchron**(Empfänger muss Takt d. Senders kennen)  **Bus** (Mehr als zwei Geräte verbunden, erfordert Adressierung) vs **Point-to-Point**  **Vollduplex**(Datenübertragung in beide Richtungen gleichzeitig möglich, separate Leitungen für Senden u. Empfangen vs **halbduplex**  **Peer-toPeer** vs **Master-Slave** (Nur Master darf Kommunikation starten)  **Differential**(Spannungsunterschied zw. 2 Leitungen trägt Information vs **Single-Ended**(Gemeinsame GND Leitung für alle Datenleitungen)   |  |  |  |  | | --- | --- | --- | --- | |  | UART | SPI | I2C | | Seriell | Ja | Ja | Ja | | Duplex | Ja | Ja | Nein | | Synchron | Nein  kein Takt | Ja | Ja | | Bus | Nein | Jein | Ja | | Anz.Leitungen | 3 | 5 | 3 | | Datenrate  ATmega2560 | BAUD = fosc / (16(UBRRn+1)) | fosc/128 – fosc/2 | Max 400 kbit/s | | UART (oder SCI)  2 Datenleitungen: TxD und RxD  Sender u. Empfänger müssen Baudrate kennen  Übertragung von UART-Frames D{E|O|N}S  Beispiel: 8E1: 8 Datenbits, gerade Parität, 1 Stopbit  SPI (hohe Geschwindigkeit)  Master-Slave. 4 Datenleitungen:  **MOSI**: Master Out, Slave IN (8 Bit Schieberegister)  **MISO**: Master In, Slave Out (8 Bit Schieberegister  **SCK**: System Clock, : Slave Select  I2C, TWI (Viele Geräte)  Bus mit 7 Bit Adressierung  **SCL**: Serial Clock Line, **SDA**: Serial Data Line  Startbedingung: Fallende Flanke: SDA+SCL == HIGH  Adresse anlegen ->R/: Master spezifiziert, ob Lese oder Schriebzugriff -> Datentransfer  Stoppbedingung: Steigende Fl.: SDA+SCL == HIGH |
| Peripherie |  | CGRAM  DDRAM  Cursor  4-Bit Modus  Initialisierung Liquid Crystal |  |
| SW-Download / Debugging |  | JTAG |  |
| Automaten |  |  |  |

Register

**Digital IO:**

* DDRx (Data Direction Register):
  + Entsprechendes Bit auf 1 für Ausgang, oder 0 für Eingang
* PORTx (Port Register):
  + Wenn Pin auf Ausgang, dann 1 = 5V und 0 = 0V
* PINx (Port Input Register):
  + Wenn Pin auf Eingang, dann 1 = HIGH liegt an und 0 = LOW liegt an

**Timer:**

* TCCRnA (Timer/Counter n Control Register A):
* TCCRnB (Timer/Counter n Control Register B):
  + Prescaler
  + Starten des Timers
  + Input Capture
* TCNTn (Timer Counter n, 16 Bit):
  + Aktueller Zählerstand
* OCRnA (Output Compare Register A, 16 Bit):
  + Wert gegen den Zählerstand verglichen werden kann
* OCRnB (Output Compare Register B, 16 Bit):
  + Wert gegen den Zählerstand verglichen werden kann
* ICRn (Input Capture Register):
  + Bei Input Capture erfasster Wert wird gespeichert
* TIMSKn:
  + Aktivieren/Deaktivieren der Timer Interrupts
* TIFRn:
  + Timer bezogene Interrupt Flags

**Pulsweitenmodulation:**

* OCnA:
* OCnB:
* OCnC (Output Compare Pins):
  + Inverting oder non-Inverting Mode
  + Output Compare Pins müssen als Ausgang im DDR Reigster konfigueriert sein!
* OCRnX (Output Compare Register):
  + Vergleichswert muss gesetzt werden

**Interrupts:**

* sei() (Set Enable Interrupt):
  + Interrupts global aktivieren
* SREG:
  + I Bit hier setzen statt sei() möglich
* EIMSK:
  + De/aktivieren von speziellen Interrupts
* EIFR:
  + Interrupt Flags
* EICRA:
* EICRB:
  + Steigende/fallende Flanke?

**Analoge IO:**

* ADMUX:
  + Referenzspannung wählen
  + Analoge Eingangspins für A/D Umsetzung wählen
* ADCSRB:
  + Analoge Eingangspins für A/D Umsetzung wählen
  + Single Ended oder Differential Conversion
  + Free Running Mode oder manuelles Triggern
* ADCSRA:
  + Aktivieren und Starten der A/D Umsetzung
  + Prescaler
  + Interrupts
* ADCL u. ADCH:
  + Speichert Ergebnis der A/D Umsetzung
  + Erst ADCL, dann ADCH lesen (atomarer Zugriff)

TODO:

* Jeweils für Register relevante Manual Ausschnitte
* Bilder mit verschiedenen PWM: TOP/CMP/ und inverting/non-inverting mode
* Reset Ablauf, Seite 16 bei Watchdog Skript